

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243854

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 29/78

H01L 29/786

(21)Application number : 11-042729

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.02.1999

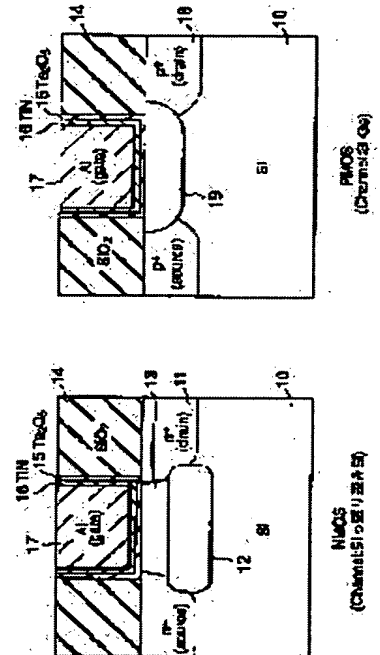
(72)Inventor : YAGISHITA JUNJI  
MATSUO KOJI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To lessen an FET with a metal gate in threshold voltage and to restrain its power consumption.

**SOLUTION:** An NMOSFET is equipped with an Si-Ge layer 12 sandwiched in between N<sup>+</sup> drain/source diffusion layers 11 formed inside an Si substrate 10. A tensile strain Si channel layer 13 is formed on the surface of the Si-Ge layer 12. An Al gate electrode 17 is formed on the tensile strain Si channel layer 13 through the intermediary of a Ta<sub>2</sub>O<sub>5</sub> layer 15 and a TiN layer 16. A PMOSFET is equipped with a compressive strain Si-Ge channel layer 19 which is sandwiched in between P<sup>+</sup> drain/source diffusion layers 18 is formed on the surface of the Si substrate 10. An Al gate electrode 17 is formed on the surface of the P<sup>+</sup> diffusion layer 18 through the intermediary of a Ta<sub>2</sub>O<sub>5</sub> layer 15 and a TiN layer 16.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243854

(P2000-243854A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
H 0 1 L	21/8238	H 0 1 L	27/08
	27/092		29/78
	29/78		3 2 1 C
	29/786		5 F 0 4 0
			3 0 1 H
			5 F 0 4 8
			6 1 3 A
			5 F 1 1 0
			6 1 8 E

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願平11-42729

(22) 出願日 平成11年2月22日(1999.2.22)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 八木下 淳史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 松尾 浩司

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

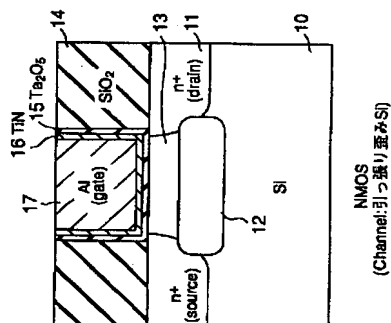
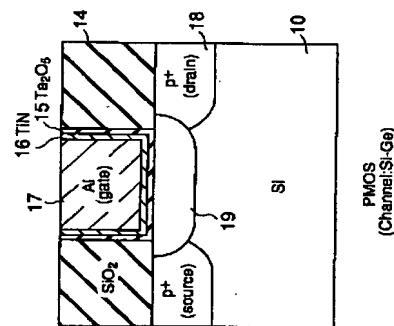
最終頁に続く

## (54) 【発明の名称】 半導体装置及びその製造方法

## (57) 【要約】

【課題】メタルゲートを用いたFETの、しきい値を低下させ素子の消費電力を抑制する。

【解決手段】NMOSFETは、Si基板10の内部にトランジスタのソース又はドレインであるn<sup>+</sup>拡散層11に挟まれてSi-Ge層12が形成されている。Si-Ge層12の表面には引っ張り歪みSiチャンネル層13が形成されている。引っ張り歪みSiチャンネル層13上にTa<sub>2</sub>O<sub>5</sub>層15及びTiN層16を介してAlゲート電極17が形成されている。PMOSFETはSi基板10の表面にトランジスタのソース又はドレインであるp<sup>+</sup>拡散層18に挟まれて圧縮歪みSi-Geチャネル層19が形成されている。p<sup>+</sup>拡散層18の表面に、Ta<sub>2</sub>O<sub>5</sub>層15及びTiN層16を介してAlゲート電極17が形成されている。



## 【特許請求の範囲】

【請求項1】シリコン基板にNMOSFETとPMOSFETとが形成された半導体装置において、前記NMOSFET及びPMOSFETのゲート電極は金属材料で構成され、前記NMOSFET及びPMOSFETの各チャネル層の表面領域の少なくとも一部にSi-Ge層が形成され、前記NMOSFETのチャネル層のGe濃度が前記PMOSFETのチャネル層のGe濃度よりも低いことを特徴とする半導体装置。

【請求項2】前記NMOSFETのチャネル層にはSi-Ge層上の引っ張り歪みSi層が用いられ、前記PMOSFETのチャネル層にはSi-Ge層が用いられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】シリコン基板にNMOSFETが形成された半導体装置において、前記NMOSFETのゲート電極は金属材料で構成され、チャネル層にSi-Ge層上の引っ張り歪みSi層が用いられていることを特徴とする半導体装置。

【請求項4】前記シリコン基板がSOI基板であり、前記MOSFETのチャネル層のGe濃度は前記MOSFETのソースのGe濃度よりも低いことを特徴とする請求項1又は3に記載の半導体装置。

【請求項5】シリコン基板上に形成されたNMOSFETとPMOSFETのそれぞれのゲート形成領域に、ダミーゲートを形成する工程と、前記ダミーゲートをマスクにPMOSFET部とNMOSFET部の基板表面にそれぞれ選択的に不純物を注入し、加熱することで拡散層を形成する工程と、前記シリコン基板上に前記ダミーゲートより厚く、絶縁膜を形成する工程と、前記絶縁膜の表面を平坦化すると共に、前記ダミーゲートを露出させる工程と、前記ダミーゲートを除去し、底部にシリコン基板が露出する開口部を前記絶縁膜に形成する工程と、前記NMOSFET部側の前記開口部に露出する前記シリコン基板に選択的にGeを注入して該基板の表面を除いた領域に第1のSi-Ge層を形成することにより第1のSi-Ge層上に引っ張り歪みSi層を形成し、前記PMOSFET部側の前記開口部に露出する前記シリコン基板に選択的にGeを注入して該基板の表面に第2のSi-Ge層を形成する工程と、前記露出するシリコン基板上にゲート絶縁膜を形成する工程と、前記開口部内に金属材料からなるゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】表面にSi-Ge層を有するシリコン基板上に、ダミーゲートを形成する工程と、前記ダミーゲートをマスクにPMOSFET部とNMOSFET部の基板表面にそれぞれ選択的に不純物を注入

し、加熱することでトランジスタのソースドレインとなる拡散層を形成する工程と、

前記シリコン基板上の前記ダミーゲートを覆うように、絶縁膜を形成する工程と、

前記絶縁膜の表面を除去すると共に、前記ダミーゲートを露出させる工程と、

前記ダミーゲートを除去し、底部にシリコン基板が露出する開口部を前記絶縁膜に形成する工程と、

前記NMOSFET部側の前記開口部に露出する前記Si-Ge層上に選択的にシリコン層を形成する工程と、

前記開口部の底部にゲート絶縁膜を形成する工程と、

前記開口部内に金属材料からなるゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、FETのチャネル層として引っ張り歪みSi層並びに圧縮歪みSi-Ge層を用いた半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】従来、通常の半導体素子は、バルクのSiを基板として用いており、素子寸法の微細化によって、高速化及び低消費電力化をはかっている。しかし、素子の微細化には、物理的、経済的な壁が見えつつあり、今後は微細化以外の手法による高速、低消費電力化の技術確立する必要がある。

【0003】例えば、ゲート電極にメタルゲートを用いてゲートの配線遅延の抑制を図って高速化を図る技術が開発されている。CMOSFETにメタルゲートや高誘電体ゲート絶縁膜を適用するために、ダミーゲートプロセスが提案されている(A. Chatterjee et al., IEDM Tech. Dig., (1997), p. 821)。ここでダミーゲートプロセスとは、将来ゲートを形成する領域に、予めダミーのゲートを形成しておき、ダミーのゲートをマスクにセルフアラインでソース/ドレインを形成したのち、ダミーゲートを本来のゲートに置き換えるプロセスである。

【0004】この技術には、メタルゲートの仕事関数の影響でトランジスタのしきい値電圧を調整しにくいという問題点があった。例えば、ゲート電極にTiNを用いると、仕事関数値は4.3~4.6eVになり、従来のPoly-Si電極の場合よりもしきい値が0.4~0.5V程度大きくなってしまいう問題があった。

【0005】また、チャネル層のキャリア移動度を向上させるため、N-MOSトランジスタのチャネル層にはSi-Ge層上の引っ張り歪みSi層(引っ張り応力下)を、またP-MOSトランジスタのチャネル層には圧縮歪みSi-Ge層(圧縮応力下)を用いる技術が報告されている(K. Ismail, "Si/Si-Ge High-Speed Field-Effect Transistors", IEDM Tech. Dig., (1995), p. 509)。引っ張り歪みSi層又は圧縮歪みSi-Ge層をMOSトランジスタのチャネル層に用いることによ

て、面内の電子と正孔の移動度が上昇し、高速動作と低消費電力化を両立することができる。

【0006】ところが、この技術には、引っ張り歪みSi層(nチャンネル層)と圧縮歪みSi-Ge層(pチャンネル層)との両方がチャンネル層として形成されたCMOSFETを形成する場合、工程が煩雑でNMOSチャンネル層、PMOSチャンネル層の作り分けが困難であるという問題があった。また、Si-Ge層形成時に、高温の熱工程を通すため、Si-Ge層ミスフィット転移やGeのSegregationが発生し、ゲート耐圧が劣化するという問題があった。

【0007】またところで、SOI基板上でMOSFETを動作させると、チャンネル層端部(ソース近傍)の基板中に正孔がたまり、いわゆる基板浮遊効果が発生してデバイス動作に悪影響を及ぼすことが知られている。この基板浮遊効果を抑制する方法として、ソース領域をSi-Ge材料で形成してチャンネル層(Si)よりもバンドギャップを小さくし、正孔をソース側に引き抜く方法が提案されている(Akira Nishiyama et al., "Formation of Si-Ge source/Drain using Ge implantation for floating-body effect resistant SOI MOSFETs", Jpn. J. Appl. Phys. Vol. 35 (1996) pp. 954-959. Part1, No. 2B, February 1996)。

【0008】しかしながら、この方法では、チャンネル層をSi-Ge材料とすることができないという問題点があった。すなわち、正孔の移動度向上と基板浮遊効果抑制を両立させることができなかった。

【0009】

【発明が解決しようとする課題】上述したように、メタルゲートを用いたFETには、しきい値が大きくなり充分な駆動電流を確保することができないという問題点があった。また、Si-Ge層上に形成された引っ張り歪みSi層をチャンネル層とするNMOSFETと圧縮歪みSi-Ge層をチャンネル層とするPMOSFETとが形成されたCMOSFETを形成することが困難であるという問題があった。

【0010】また、SOI基板上に形成されたFETの基板浮遊効果を抑制するためにソース領域をSi-Ge材料で形成してチャンネル層よりもバンドギャップを小さくすると、チャンネル層にSi-Geを用いることができず、素子の高速化を図ることができないという問題があった。

【0011】本発明の目的は、メタルゲートを用いたCMOSFETのしきい値電圧を低下させ、素子の駆動力の向上(スピードの向上)を図り得る半導体装置及びその製造方法を提供することにある。

【0012】また、本発明の別の目的は、引っ張り歪みSi層をチャンネル層とするNMOSFETと圧縮歪みSi-Ge層をチャンネル層とするPMOSFETとが形成されたCMOSFETを容易に形成し得る半導体装置の

製造方法を提供することにある。

【0013】また、本発明の別の目的は、SOI基板上に形成されたFETの正孔の移動度の向上と基板浮遊効果抑制の両者を両立し得る半導体装置を提供することにある。

【0014】

【課題を解決するための手段】〔構成〕本発明は、上記目的を達成するために以下のように構成されている。

(1) 本発明(請求項1)の半導体装置は、シリコン基板上にNMOSFETとPMOSFETとが形成された半導体装置において、前記NMOSFET及びPMOSFETのゲート電極は金属材料で構成され、前記NMOSFET及びPMOSFETの各チャンネル層の表面領域の少なくとも一部にSi-Ge層が形成され、前記NMOSFETのチャンネル層のGe濃度が前記PMOSFETのチャンネル層のGe濃度よりも低いことを特徴とする。

【0015】本発明は、前記NMOSFETのチャンネル層にはSi-Ge層上の引っ張り歪みSi層が用いられ、前記PMOSFETのチャンネル層にはSi-Ge層が用いられていることが好ましい。

【0016】(2) 本発明(請求項3)の半導体装置は、シリコン基板上にNMOSFETが形成された半導体装置において、前記NMOSFETのゲート電極は金属材料で構成され、チャンネル層にSi-Ge層上の引っ張り歪みSi層が用いられていることを特徴とする。

【0017】本発明(請求項1, 3)は、前記シリコン基板がSOI基板であり、前記MOSFETのチャンネル層のGe濃度は前記MOSFETのソースのGe濃度よりも低いことが好ましい。

【0018】(3) 本発明(請求項5)半導体装置の製造方法は、シリコン基板上に形成されたNMOSFETとPMOSFETのそれぞれのゲート形成領域に、ダミーゲートを形成する工程と、前記ダミーゲートをマスクにPMOSFET部とNMOSFET部の基板表面にそれぞれ選択的に不純物を注入し、加熱することで拡散層を形成する工程と、前記シリコン基板上に前記ダミーゲートより厚く、絶縁膜を形成する工程と、前記絶縁膜の表面を平坦化すると共に、前記ダミーゲートを露出させる工程と、前記ダミーゲートを除去し、底部にシリコン基板が露出する開口部を前記絶縁膜に形成する工程と、前記NMOSFET部側の前記開口部に露出する前記シリコン基板に選択的にGeを注入して該基板の表面を除いた領域に第1のSi-Ge層を形成することにより第1のSi-Ge層上に引っ張り歪みSi層を形成し、前記PMOSFET部側の前記開口部に露出する前記シリコン基板に選択的にGeを注入して該基板の表面に第2のSi-Ge層を形成する工程と、前記露出するシリコン基板上にゲート絶縁膜を形成する工程と、前記開口部内に金属材料からなるゲート電極を形成する工程とを含む。

むことを特徴とする。

【0019】(4)本発明(請求項6)半導体装置の製造方法は、表面にSi-Ge層を有するシリコン基板上に、ダミーゲートを形成する工程と、前記ダミーゲートをマスクにPMOSFET部とNMOSFET部の基板表面にそれぞれ選択的に不純物を注入し、加熱することでトランジスタのソースドレインとなる拡散層を形成する工程と、前記シリコン基板上の前記ダミーゲートを覆うように、絶縁膜を形成する工程と、前記絶縁膜の表面を除去すると共に、前記ダミーゲートを露出させる工程と、前記ダミーゲートを除去し、底部にシリコン基板が露出する開口部を前記絶縁膜に形成する工程と、前記NMOSFET部側の前記開口部に露出する前記Si-Ge層上に選択的にシリコン層を形成する工程と、前記開口部の底部にゲート絶縁膜を形成する工程と、前記開口部内に金属材料からなるゲート電極を形成する工程とを含むことを特徴とする。

【0020】【作用】本発明は、上記構成によって以下の作用・効果を有する。FETのゲート電極を金属材料で構成し、且つNMOSFETのチャネル層のGe濃度をPMOSFETより薄くすることで、NMOSFETのチャネル層のコンダクションバンドとゲート電極のフェルミレベルとの差、PMOSFETのチャネル層のバレンスバンドとゲート電極のフェルミレベルとの差を小さくすることができるので、しきい値電圧の上昇を抑えることができる。また、高移動度、高ゲート耐圧の金属(TiN)ゲートCMOSTランジスタを簡単な製造プロセスで実現できるようになる。

【0021】NMOS、PMOS両方ともにメタル(TiN)ゲートで低いしきい値電圧のトランジスタを容易に実現できる。NMOS、PMOS両方ともにキャリアの移動度が向上する。通常のSi基板に対して電子で3～5倍、正孔で4～6倍の移動度が実現できる。

【0022】メタルゲートを用いるため、ゲートの空乏化がなく実効的なゲート絶縁膜厚を薄くできる。またゲートの配線遅延もない。すなわちトランジスタを高性能化できる。さらにまた、NMOSゲート、PMOSゲートを作りわけする必要がないので、工程数を削減できる。

【0023】ダミーゲートプロセスとSiのエピタキシャル成長技術またはGeのイオン注入技術を用いることによって、NMOSチャネル層(例えば引っ張り歪みSi層)とPMOSチャネル層(例えばSi-Ge層)の作り分けが容易になる。

【0024】ダミーゲートプロセスを用いることによって、Si-Geチャネル層形成後、600℃以上の高温工程をなくすことが可能になり、Si-Ge/Si界面のミスフィット転位やGeのSegregationが減少し、ゲート耐圧が向上する。

【0025】SOI基板上に形成されるFETにおいて、チャネル層下部のGe濃度をソース側のバンドギャップ

がチャネル層側のバンドギャップよりも小さくなり、チャネル層下部のSi-Ge層(ソース近傍)に蓄積した正孔がソース側へ引き抜かれることによって、基板浮遊効果を抑制することができる。

【0026】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0027】[第1実施形態]図1は、本発明の第1実施形態に係わるCMOSFETの構成を示す断面図である。先ず、CMOSFETのNMOS部の構成について説明する。Si基板10の内部にトランジスタのソース又はドレインであるn<sup>+</sup>拡散層11に挟まれてSi-Ge層12が形成されている。Si-Ge層12の表面には引っ張り歪みSiチャネル層13が形成されている。n<sup>+</sup>拡散層11の表面に、引っ張り歪みSiチャネル層13上に開孔部を有するSiO<sub>2</sub>絶縁層14が形成されている。開孔部の底面及び側壁に沿って、ゲート絶縁膜であるTa<sub>2</sub>O<sub>5</sub>層15及びゲート電極の一部であるTiN層16が順次積層されている。そして、開口部内にAlゲート電極17が埋め込み形成されている。

【0028】次に、CMOSFETのPMOSFET部の構成について説明する。Si基板10の表面にトランジスタのソース又はドレインであるp<sup>+</sup>拡散層18に挟まれて圧縮歪みSi-Geチャネル層19が形成されている。p<sup>+</sup>拡散層18の表面に、圧縮歪みSi-Geチャネル層19上に開孔部を有するSiO<sub>2</sub>絶縁層14が形成されている。SiO<sub>2</sub>絶縁層14の開孔部の底面及び側壁に沿って、Ta<sub>2</sub>O<sub>5</sub>層15及びTiN層16が順次積層されている。そして、開孔部にAlゲート電極17が埋め込み形成されている。

【0029】ここでゲート材料とチャネル材料の仕事関数値やバンドギャップ値を図2に示した。E<sub>vac</sub>は真空レベル、E<sub>c</sub>は伝導帯レベル、E<sub>v</sub>は価電子帯レベル、E<sub>f</sub>はフェルミレベルのエネルギーである。E<sub>vac</sub>とE<sub>f</sub>のエネルギー間隔が仕事関数である。図2からわかるように、TiNのフェルミレベルはシリコンのバンドギャップの中央付近に位置する。従って、通常のシリコン基板上でTiNゲートを用いた場合、NMOS、PMOS両方のトランジスタのしきい値がポリシリコンゲートを用いた場合よりも大きく(0.4～0.5V程度だけ大きく)なる。

【0030】これに対して、NMOSにおいてメタル(Al/TiN)ゲートと引っ張り歪みSiチャネル層を採用し、PMOSにおいてメタル(Al/TiN)ゲートと圧縮歪みSi-Geチャネル層を採用すれば、NMOS、PMOSともにしきい値電圧を低め(～0.2V程度以下)に調整しやすくなる。

【0031】その理由を図3、4を用いて説明する。図3、4は、図2に示した材料をゲート絶縁膜を介して接合した場合のバンド構造を示す図である。2種の材料を

接合すると、フェルミレベルの高さが一致するように接合界面近傍のバンドが曲がる。まずNMOSについて見ていく。従来は図3(a)に示すように、p型Si上に $n^+$ ポリシリコンゲートを形成するので、p型Siのチャネル層表面でのバンド曲がり量が例えば0.8eV程度発生する。ところが、p型Si上にTiNゲートを形成すると、図3(b)に示すようにチャネル層表面でのバンド曲がり量が0.3eV程度になる。したがって、図3(a)の場合よりも図3(b)の方がしきい値電圧が0.5V程度上昇してしまう。これに対して、図3

(c)に示すように、p型引張り歪みSiチャネル層上にTiNゲートを形成すると、バンド曲がり量が0.46eV程度になるため、図3(b)の場合よりはしきい値を小さくすることができる。

【0032】次に、PMOSについて見ていく。従来は図4(a)に示すように、n型Si上に $p^+$ ポリシリコンゲートを形成するので、n型Siのチャネル層表面でのバンド曲がり量が0.8eV程度発生する。ところが、n型Si上にTiNゲートを形成すると、図4

(b)に示すようにチャネル層表面でのバンド曲がり量が0.5eV程度になる。したがって、図4(a)の場合よりも図4(b)の方がしきい値電圧が0.3~0.4V程度上昇してしまう。

【0033】これに対して、図4(c)に示すように、n型圧縮歪みSi-Geチャネル層上にTiNゲートを形成すると、バンド曲がり量は図4(c)と同じく0.5eV程度であるが、Si-Geのバンドギャップが0.8eVと小さいため、図4(b)の場合よりもしきい値を小さくできる(あとわずかにSi-Geのバンドを曲げてやれば反転層が形成される)。したがって、NMOSに引張り歪みSiチャネル層を、PMOSに圧縮歪みSi-Geチャネル層を採用することが低いしきい値電圧実現のために望ましい。

【0034】通常のSiチャネル層でしきい値電圧を低く調整しようとする、基板表面不純物濃度をかなり薄くするか、カウンターチャネルイオン注入を行わなければならない。即ち、ショートチャネル効果に弱い構造や埋め込みチャネル型MOSFET構造になってしまうことが避けられない。

【0035】通常のSiチャネル層でしきい値電圧を低く調整しようとする、基板表面不純物濃度をかなり薄くするか、カウンターチャネルイオン注入を行わなければならない。すなわち、ショートチャネル効果に弱い構造や、埋め込みチャネル型MOSFET構造になってしまうことが避けられない。

【0036】次に、図1に示したCMOSFETの基本構成を適用したCMOSFETの製造工程を説明する。図5~10は、本発明の第1実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0037】まず、図5(a)に示すように、例えば面

方位(100)の半導体シリコン基板10に、素子分離領域のシリコン基板10表面に深さ200nm程度の溝を形成し、その内壁を薄く酸化して熱酸化層を形成した後、例えばTEOS系酸化膜からなる素子分離絶縁膜22を埋め込むことにより、トレンチ分離(STI: Shallow Trench Isolation)を形成する。ここで必要であればウェルやチャネル層形成用のイオン注入を行ない、基板表面には6nm程度の厚さの熱酸化膜23を形成しておく。

【0038】次いで、図5(b)に示すように、ダミーゲート材料として、LPCVD法によりポリシリコン膜24及びシリコン窒化膜25を順次どちらも150nm程度積層し、ダミーゲートを形成する。次いで、図5(c)に示すように、光リソグラフィまたはEB描画により、ゲート形成予定領域に図示されていないレジストパターンを形成し、レジストパターンをマスクにRIE法を用いてゲート形成予定領域以外のシリコン窒化膜25及びポリシリコン膜24をエッチング除去し、レジストパターンを除去する。

【0039】次いで、図5(d)に示すように、熱酸化により、6nm程度の酸化膜26をポリシリコン膜24の側面に形成する。なお、以降ではNMOSFET部とPMOSFET部とを分けて図示する。次いで、図6(e)に示すように、NMOS部及びPMOS部に、それぞれイオン注入により $n^-$ 拡散層27、 $p^-$ 拡散層28を形成する。 $n^-$ 拡散層27の形成条件は例えばAsイオンを加速電圧15keVドーズ量 $3 \times 10^{14} \text{cm}^{-2}$ 程度で打ち込む。 $p^-$ 拡散層28の形成条件は、例えばGeを加速電圧15keV、ドーズ量 $5 \times 10^{14} \text{cm}^{-2}$ 程度の条件でイオン注入してプリアモルファス化し、 $\text{BaF}_2$ を加速電圧10keV、ドーズ量 $5 \times 10^{14} \text{cm}^{-2}$ 程度の条件でイオン注入する。なお、CMOSを形成するため、リソグラフィによりそれぞれの領域をレジストでマスクしてn型不純物とp型不純物とを打ち分ける。

【0040】次いで、図6(f)に示すように、シリコン窒化膜を70nm程度堆積した後、全面に対してRIEを行うことによって、側壁絶縁膜29をダミーゲートの側面部に形成する。

【0041】次いで、図7(g)に示すように、イオン注入により高濃度の $n^+$ 拡散層11、 $p^+$ 拡散層18を形成する。 $n^+$ 拡散層11の注入条件は、例えばAsイオンを加速電圧45keVドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ 程度で打ち込む。 $p^+$ 拡散層18の形成条件は、 $\text{BaF}_2$ を加速電圧35keV、ドーズ量 $4 \times 10^{15} \text{cm}^{-2}$ 程度でイオン注入する。CMOSを形成するため、リソグラフィ技術によりレジストをマスクとしてn型不純物とp型不純物を打ち分ける。ソース/ドレインである $n^+$ 、 $n^-$ 、 $p^+$ 、 $p^-$ 拡散層の活性化アニールは、注入直後毎回行なっても良いし、全てのイオン注入が終了したの

ち、一度で行なっても良い。

【0042】次いで、LPCVD法によりTEOS系酸化膜32を全面に350nm程度堆積した後(図7(h))、CMP(Chemical Mechanical Polishing)法を用いてTEOS系酸化膜32の表面を平坦化する(図8(i))。このとき、シリコン窒化膜25及びシリコン窒化膜からなる側壁絶縁膜29がCMPのストッパーとなる。

【0043】次いで、図8(j)に示すように、ホットリン酸により、ダミーゲートのシリコン窒化膜25を除去する。このときシリコン窒化膜から構成された側壁絶縁膜29の上部もエッチングされるため、側壁絶縁膜29の高さがやや低くなる。

【0044】さらに、図9(k)に示すように、CDEによってダミーゲートのポリシリコン膜24を除去した後、HFによるウェットエッチングを行なって酸化膜23を除去することにより、ゲート形成予定領域に開口部33を形成する。

【0045】さらに、リソグラフィーを利用してNMOS、PMOS各チャネル層に別々にGeイオン注入を行なう。NMOS部では、加速電圧100KeV侵入深さ $R_p=60\text{nm}$ 以下程度でGeイオンをやや深めに注入してSi-Ge層12を形成することによって、基板表面に引っ張り歪みSiチャネル層13が形成されるようにする。一方、PMOS部は、加速電圧45KeV侵入深さ $R_p=30\text{nm}$ 以下程度でGeイオンを浅めに注入することにより、基板表面にSi-Geチャネル層19が形成されるようにする。このように、NMOSチャネル層、PMOSチャネル層の作り分けを容易に行うことができる。なお、イオン注入を行ったときのGeの最大濃度が $1 \times 10^{22}\text{cm}^{-3}$ (20atoms%)程度とするが、もっとGeの組成比を増加させても良い。

【0046】なお、引っ張り歪みSiチャネル層13の厚さは、チャネル反転層の厚さが2nm程度なので、20nm以下であることが好ましい。また、Si-Ge層12、19の厚さは、30、40nm程度から2、3 $\mu\text{m}$ まで幅広い範囲に設定することができる。なお、ストレスを緩和させるためには、Geの組成比を変化させつつ、Si-Ge層の厚さとして2、3 $\mu\text{m}$ 確保することが好ましい。

【0047】次いで、ゲート絶縁膜及びゲート電極の形成を行うが、すでにソース/ドレインを(活性化を含めて)形成してあり、基本的にこの後には600℃以上の高温工程がないため、ミスフィット転位やGeのSegregationが発生せず、ゲート耐圧が向上する。さらに、後工程が低温化するために、ゲート絶縁膜には $\text{Ta}_2\text{O}_5$ 膜、 $\text{TiO}_2$ 膜や(Ba, Sr) $\text{TiO}_3$ などの高誘電体膜や強誘電体膜を使用することができ、ゲート電極には金属材料を使用することができる。ゲート絶縁膜に高誘電体膜や強誘電体膜を使用した場合に

は、用いたゲート絶縁膜に応じてゲート電極材料を選ぶ必要があり、TiN、Al、W、Ru等が使用可能となる。

【0048】なお、ゲート絶縁膜とゲート電極材料の間にはバリアメタルとしてTiNやWN等の形成を行なうことが望ましい。バリアメタルは、Al電極からAlがゲート絶縁膜中へ拡散するのを防止するバリアであり、厚さは5~10nmである。ここでは、ゲート絶縁膜に $\text{Ta}_2\text{O}_5$ 膜、ゲート電極にスパッタ法で形成されたアルミニウム/CVD法で形成されたTiNを用いた場合の製造方法を以下に示す。

【0049】ゲート絶縁膜の形成は次の用に行う。例えば、基板10表面に酸素ラジカルを照射し $\text{SiO}_2$ 層を0.2~0.3nm程度形成し(図示せず)、引き続きアンモニア、シラン等を用いてCVD法でSiN層を1.2nm程度堆積形成する(図示せず)。なお、1.2nmのSiN層の酸化膜換算膜厚は0.6nm程度であり、その誘電率は7.5程度である。そして、図9(l)に示すように、図示されていないSiN層上にCVD法により $\text{Ta}_2\text{O}_5$ 膜15を5nm程度形成する。なお、5nm程度の $\text{Ta}_2\text{O}_5$ 膜15の酸化膜換算膜厚は1nm程度であり、その誘電率は20程度である。このようにすれば、ゲート絶縁膜厚は酸化膜換算膜厚で、2nm以下となる。

【0050】また、ゲート絶縁膜の別の形成方法としては、まず1nm程度の熱酸化 $\text{SiO}_2$ 膜を形成し、この表面を酸素ラジカルを使って低温(600℃以下)で窒化( $\text{N}_2$ プラズマ窒化)してもよい。SiN層が1.4nm(酸化膜換算膜厚で0.7nm)程度形成されると、 $\text{SiO}_2$ 層は0.3nm程度となる。その上にCVD法により $\text{Ta}_2\text{O}_5$ 膜15を5nm(酸化膜換算膜厚で1nm)程度形成すれば、ゲート絶縁膜厚は酸化膜換算膜厚で2nm以下となる。

【0051】次にゲート電極としてバリアメタルでありゲート電極の一部となるTiN層16とAlゲート電極17をそれぞれ10nm、250nm程度堆積し、CMPによりエッチバック平坦化する(図10(m))。これでメタル(Al/TiN)ゲートの加工が終了する。

【0052】この後は通常のLSI製造プロセスと同様で、プラズマTEOS膜からなる層間絶縁膜37をCVDにより形成した後、コンタクトホールを形成し、上層配線のアルミニウム配線38を形成する(図10(n))。

【0053】以上のように、本発明によれば、NMOS、PMOS両方が低いしきい値電圧で、高移動度、高ゲート耐圧のメタル(TiN)ゲートCMOSトランジスタを簡単な製造プロセスで実現できるようになる。

【0054】〔第2実施形態〕本実施形態では、基本構成は第1実施形態と同様であるが一部の構成及び製造方法が異なるCMOSFETについて説明する。



【0055】図11は、本発明の第2実施形態に係わるCMOSFETの構成を示す断面図である。図11において、図1と同一な部分には同一符号を伏し、その詳細な説明を省略する。

【0056】Si半導体基板10上のCMOSFETにおいて、ゲート電極に金属材料(Al/TiN)を用い、基板10の表面領域全面にSi-Ge層70を形成している。NMOSのチャネル層にはSi-Ge層70上に形成された引っ張り歪みSiチャネル層69を、PMOSのチャネル層にはSi-Ge層(圧縮応力下)70を用いている。

【0057】上記のCMOSFETの基本構成を適用したCMOSFETの製造工程を図12~12を用いて説明する。図12~14は、本発明の第2実施形態に係わるCMOSFETの製造工程を示す工程断面図である。工程順に説明を行なうが、途中(図8(i))までは第1実施形態と同様なのでそれ以降の工程について説明を行なう。ただし、本実施形態では、第1実施形態と異なり、基板表面全面にSi-Ge層70(たとえば厚さ30nm)がエピタキシャル成長された半導体シリコン基板10を用いている。Si-Ge層70は、水素雰囲気中で800~900℃でアニールしてSi基板表面の自然酸化膜を除去する前処理を行った後、SiのソースガスとしてSiH<sub>4</sub>、Si<sub>2</sub>H<sub>6</sub>、Si<sub>3</sub>H<sub>8</sub>等を、GeのソースガスとしてGeF<sub>4</sub>、GeH<sub>4</sub>等を用いてエピタキシャル成長させて形成する。

【0058】さて、図12(a)は、ダミーゲートのシリコン窒化膜15を除去した後の断面図である。次いで、図12(b)に示すように、CDEによってダミーゲートのポリシリコン膜24を除去し、ゲート形成予定領域に開口部33を形成する。そして、リソグラフィー等を利用してNMOS領域のみHFによるウェットエッチングを行なって酸化膜23を除去し、露出したSi-Ge層70の表面にSiをエピタキシャル成長させる。この工程で、NMOSチャネル層のみ、Si-Ge層70上に引っ張り歪みSiチャネル層69が形成される。このように、NMOSチャネル層(引っ張り歪みSiチャネル層)、PMOSチャネル層(Si-Ge)の作り分けが容易である。

【0059】ところで、ゲートとソース/ドレイン間にオフセットが生じないようにするため、n<sup>-</sup>拡散層27が引っ張り歪みSiチャネル層69中に延在していることが望ましい。すなわち、引っ張り歪みSiチャネル層69の両端がn型不純物が導入されたn<sup>-</sup>拡散層71となっていることが望ましい。このような構造は熱工程や不純物ドーピング工程を最適設計することで形成可能である。なお、n<sup>-</sup>拡散層71の不純物濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度である。

【0060】続いて、PMOS部の酸化膜23も除去した後、ゲート絶縁膜およびゲート電極を形成するが、す

でソース/ドレインを(活性化を含めて)形成しており、基本的にこの後には600℃以上の高温工程がないため、ミスフィット転位やGeのSegregationが発生せず、ゲート耐圧が向上する。さらに、後工程が低温化するために、ゲート絶縁膜にはTa<sub>2</sub>O<sub>5</sub>膜や(Ba, Sr)TiO<sub>3</sub>などの高誘電体膜や強誘電体膜を使用することができ、ゲート電極には金属材料を使用することができる。なお、ゲート電極の材料選択及び形成方法は第1実施形態と同様である。

【0061】続いて、第1実施形態と同様に、ゲート電極としてバリアメタルTiN65とアルミニウム66をそれぞれ10nm、250nm程度順次堆積し(図13(c))、CMPによりエッチバック平坦化する(図13(d))。これでメタル(Al/TiN)ゲートの加工が終了する。

【0062】ここでゲート材料とチャネル材料の仕事関数値やバンドギャップ値(図2)から明らかにように、メタル(Al/TiN)ゲートとStrained-Siチャネル層(NMOS)、Si-Geチャネル層(PMOS)を組み合わせたことにより、NMOS、PMOS両方ともしきい値電圧を低め(~0.2V程度)に調整しやすくなっている。通常のSiチャネル層で低しきい値を実現しようとするとき基板表面不純物濃度をかなり薄くするか、カウンターチャネルイオン注入を行なわなければならない。すなわち、ショートチャネル効果に弱い構造や埋め込みチャネル型MOSFET構造になってしまうことが避けられない。

【0063】この後は通常の製造プロセスと同様で、層間絶縁膜のプラズマTEOS37をCVDにより形成し、コンタクトホールを形成し、上層配線のアルミニウム38を形成する(図14(e))。

【0064】以上のように、本発明によれば、NMO S、PMOS両方が低いしきい値電圧で、高移動度、高ゲート耐圧のメタル(TiN)ゲートCMOSTランジスタを簡単な製造プロセスで実現できるようになる。

【0065】[第3実施形態]図15(a)は、本発明の第3実施形態に係わるCMOSFETの構成を示す断面図である。SOI基板80上のNMOSFETにおいて、ゲート電極に金属材料(Al17/TiN16)を用いている。SOI基板80は、Si支持基板81と、SiO<sub>2</sub>層82と、単結晶Si層83から構成されている。単結晶Si層83の表面にはSi-Ge層84、85、86が形成されている。Si-Ge層86の表面にはエピタキシャル成長によって形成され、FETのチャネル層となる引っ張り歪みSiチャネル層87が形成されている。

【0066】さらに本実施例で特徴的なことは、ソース領域であるSi-Ge層84のGe濃度が、チャネル層(引っ張り歪みSiチャネル層87)下部のSi-Ge層86中のGe濃度よりも大きいことである(このよう

な構造は容易に形成可能である。例えば、ダミーゲートをマスクに高濃度のGeをソース領域へイオン注入してやればよい。

【0067】チャンネル層下部とソース領域のGe濃度を变化させることにより、SOI基板でしばしば問題となる基板浮遊効果を防止することができる。なぜならば、ソース側のバンドギャップがチャンネル層側のバンドギャップよりも小さくなり、チャンネル層下部のSi-Ge層（ソース近傍）に蓄積した正孔がソース側へ引き抜かれるからである。

【0068】図15(b)に典型的なSi-Ge層のバンド構造を示した。ソース／ドレイン領域のGe濃度が30%、チャンネル層下部のSi-Ge層中のGe濃度が15%の場合、各領域のバンドギャップがそれぞれ0.8, 0.9 eVとなり、基板浮遊効果を防止しつつチャンネル層にSi-Ge層を用いることができる。

【0069】なお、本発明は、上記実施形態に限定されるものではない。例えば、ゲート電極として、TiN／Alの積層構造を用いたがこれらの材料に限定されるものもなく、また積層構造に限定されない。

【0070】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0071】

【発明の効果】以上説明したように本発明によれば、ゲート電極を金属材料で構成し、且つNMOSFETのチャンネル層のGe濃度をPMOSFETより薄くすることで、NMOSFET、PMOSFET両方が低いしきい値電圧で、高移動度、高ゲート耐圧のCMOSFETを提供することができる。

【図面の簡単な説明】

【図1】第1実施形態に係わるCMOSFETの構成を示す断面図。

【図2】本発明を説明するための、ゲート材料とチャンネル材料の仕事関数値やバンドギャップ値を示すバンドダイアグラム図。

【図3】図2に示した材料をゲート絶縁膜を介して接合した場合のバンド構造を示す図。

【図4】図2に示した材料をゲート絶縁膜を介して接合した場合のバンド構造を示す図。

【図5】第1実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図6】第1実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図7】第1実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図8】第1実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図9】第1実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図10】第1実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図11】第2実施形態に係わるCMOSFETの構成を示す断面図。

【図12】第2実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図13】第2実施形態に係わるCMOSFETの製造工程を示す工程断面図。

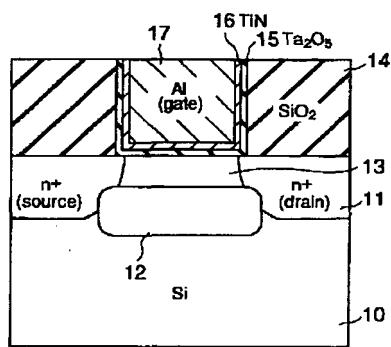
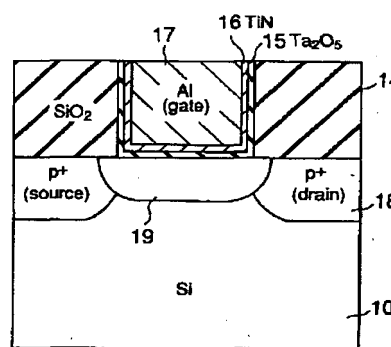
【図14】第2実施形態に係わるCMOSFETの製造工程を示す工程断面図。

【図15】第3実施形態に係わるFETの構成を示す図及びSi-Ge層のバンド構造を示す図。

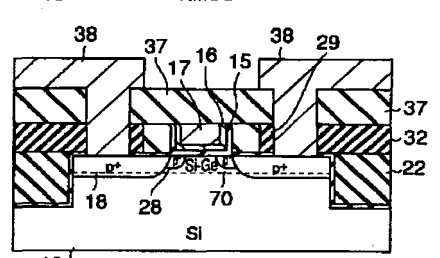
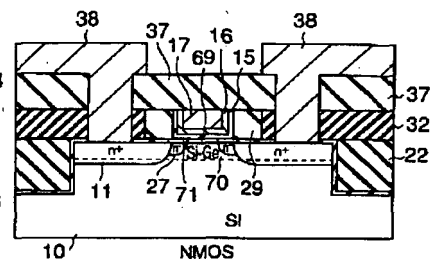
【符号の説明】

- 10…Si基板
- 11…n<sup>+</sup>拡散層
- 12…Si-Ge層
- 13…引っ張り歪みSiチャンネル層
- 14…SiO<sub>2</sub>拡散層
- 15…Ta<sub>2</sub>O<sub>5</sub>層
- 16…TiN層
- 17…Alゲート電極
- 18…p<sup>+</sup>拡散層
- 19…Si-Geチャンネル層
- 22…素子分離絶縁膜
- 23…シリコン酸化膜
- 24…ポリシリコン膜
- 25…シリコン窒化膜
- 26…シリコン酸化膜
- 27…n<sup>-</sup>拡散層
- 28…p<sup>-</sup>拡散層
- 29…シリコン窒化膜
- 32…TEOS系酸化膜
- 33…開口部
- 37…第2の層間絶縁膜
- 38…アルミニウム配線
- 69…引っ張り歪みSiチャンネル層
- 70…Si-Ge層
- 71…n<sup>-</sup>拡散層
- 80…SOI基板
- 81…Si層
- 82…絶縁層
- 83…単結晶Si層
- 84, 85, 86…Si-Ge層
- 87…引っ張り歪みSiチャンネル層
- 88…層間絶縁膜

【図1】

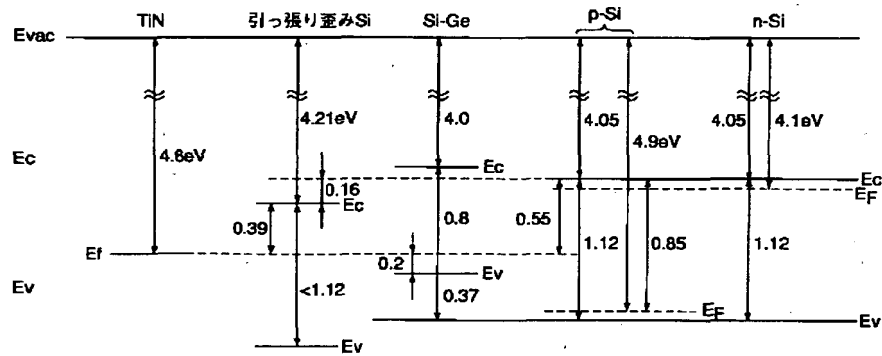
NMOS  
(Channel: 引っ張り歪みSi)PMOS  
(Channel: Si-Ge)

【図14】

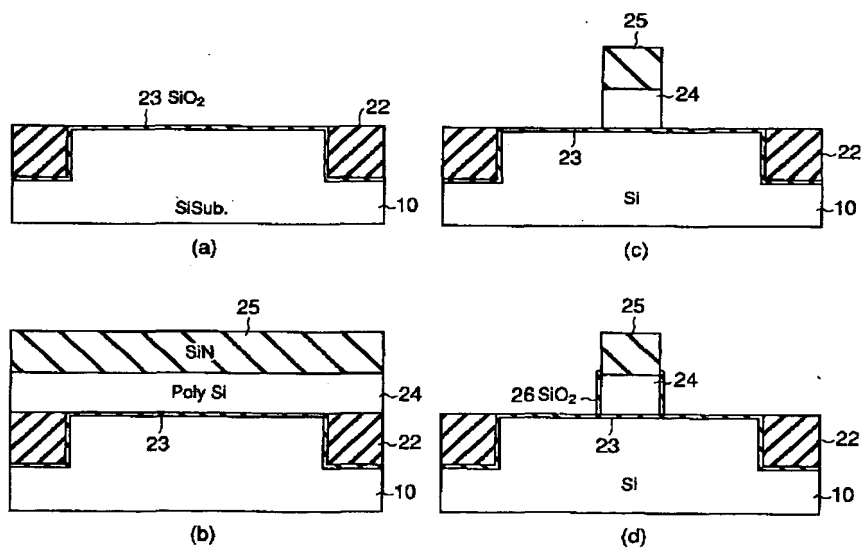


(e)

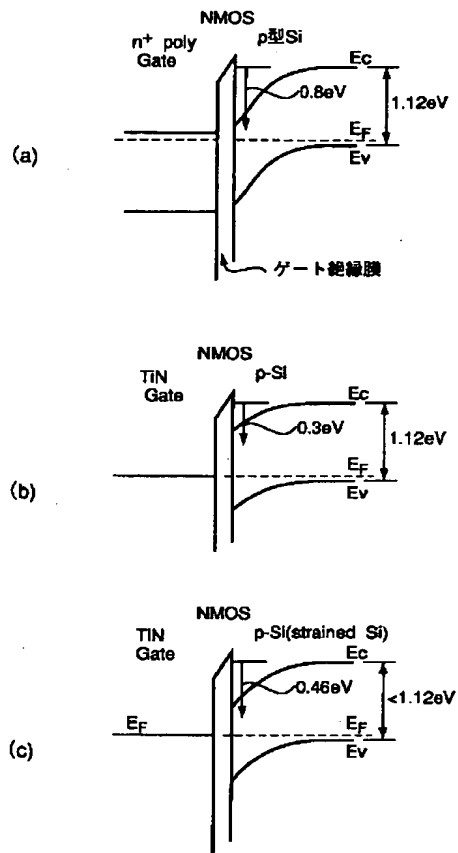
【図2】



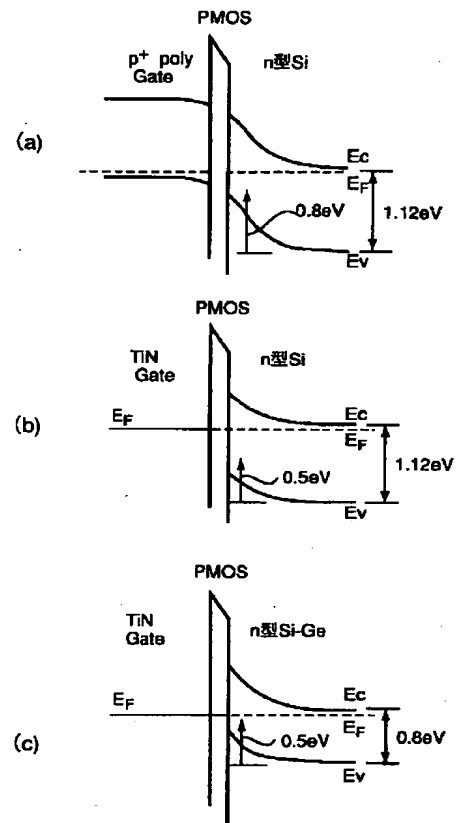
【図5】



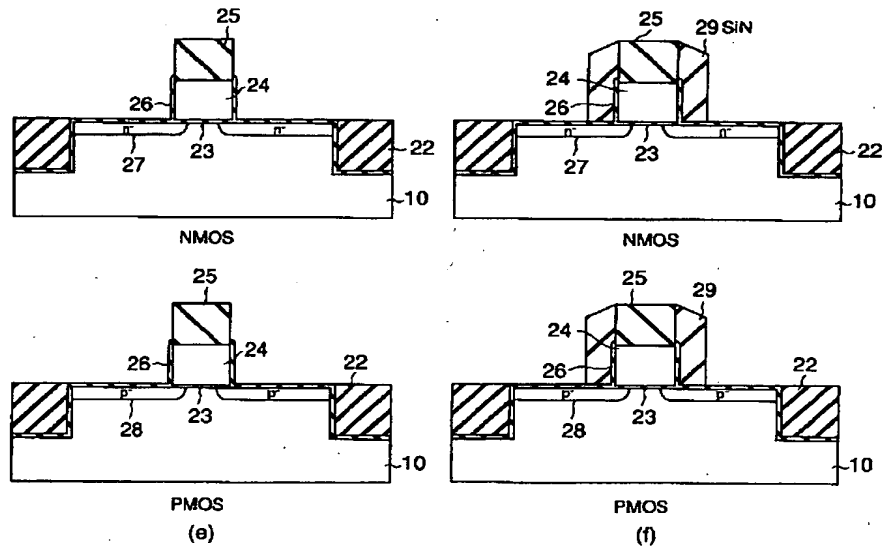
【図3】



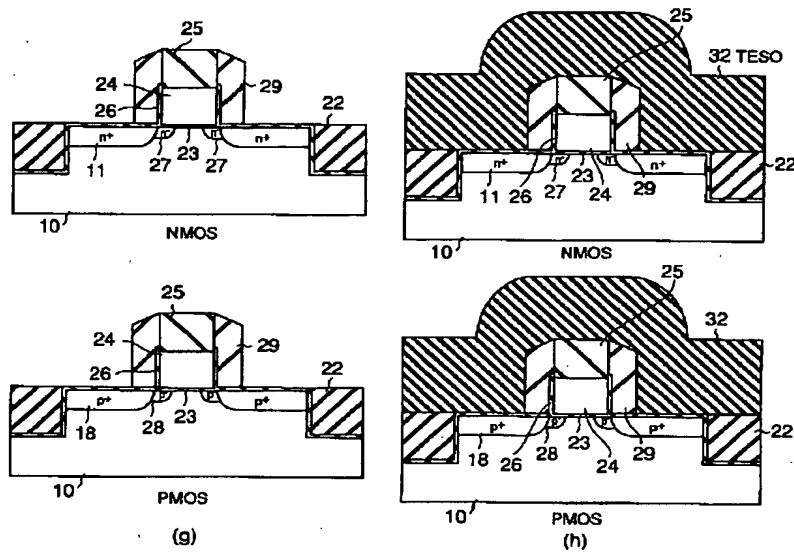
【図4】



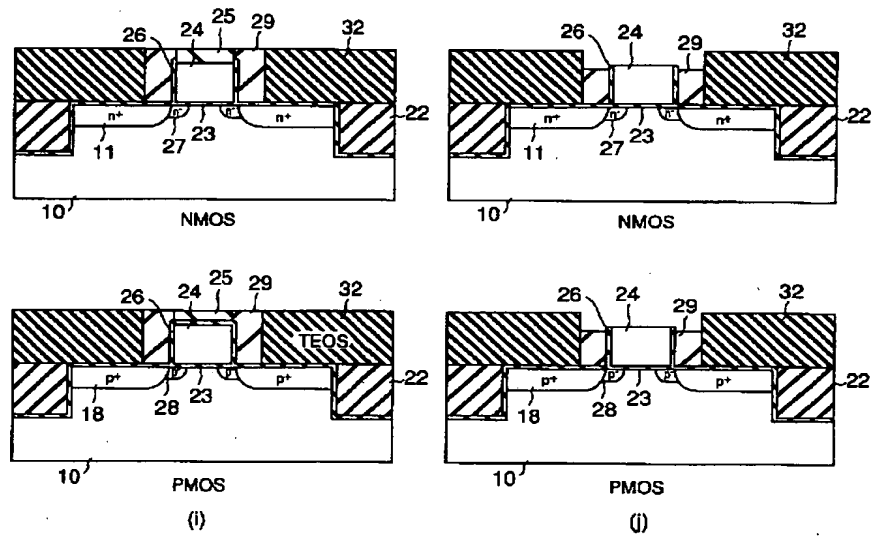
【図6】



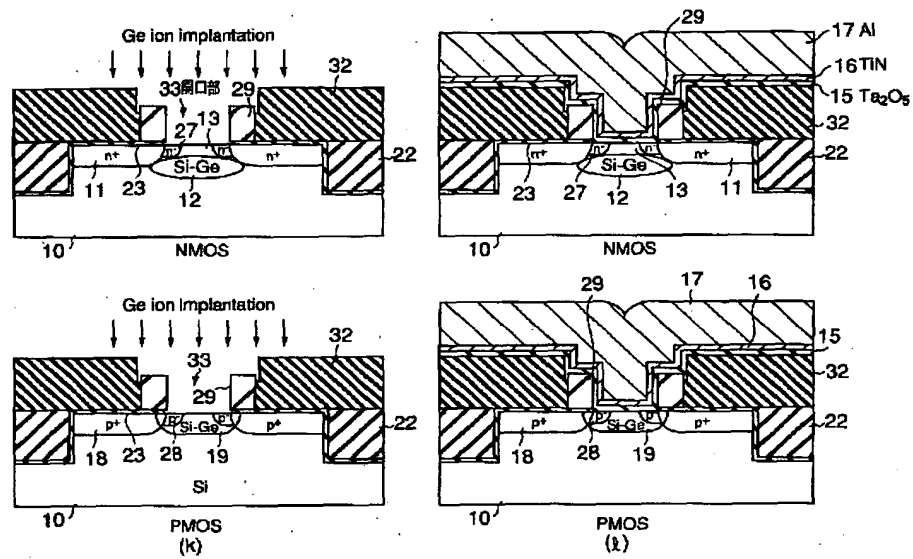
【図7】



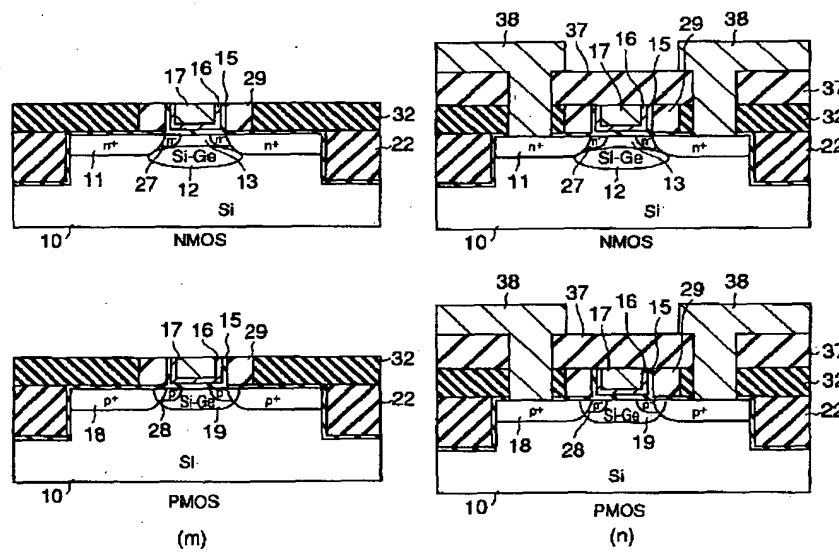
【図8】



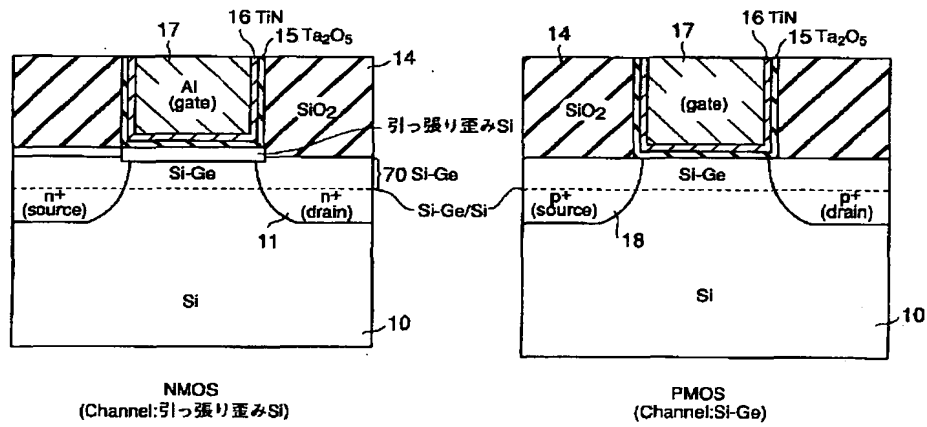
【図9】



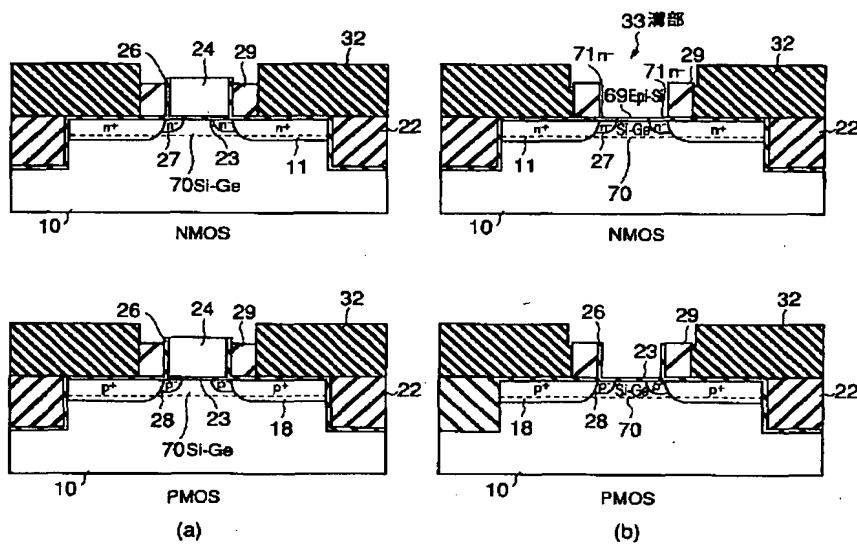
【図10】



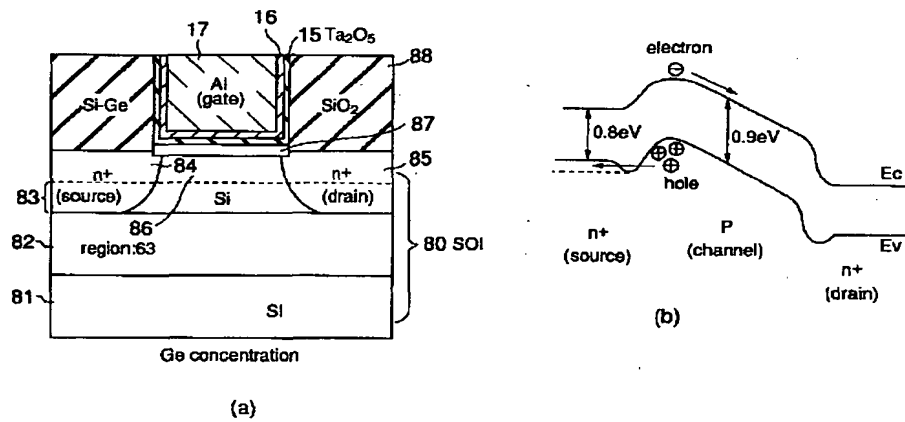
【図11】



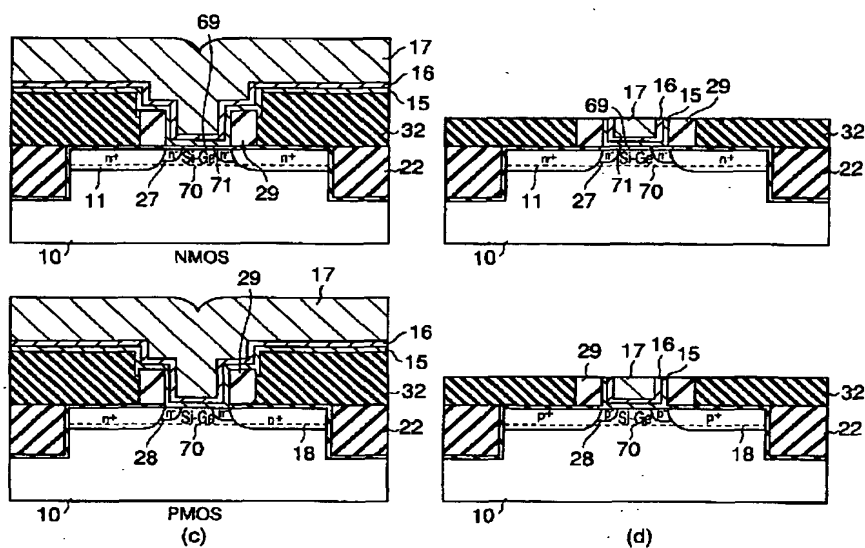
【図12】



【図15】



【図13】



フロントページの続き

Fターム(参考) 5F040 DA06 DA19 DB03 DC01 EB12  
 EC01 EC04 ED01 ED03 EE05  
 EF09 EK05 FA02 FA07 FB05  
 FC05  
 5F048 AA07 AC03 BA16 BB04 BB09  
 BB11 BB12 BB14 BC15 BD00  
 BD04 BG13 DA27  
 5F110 AA08 AA12 AA15 CC02 DD05  
 DD13 EE02 EE03 EE14 EE32  
 EE42 FF01 FF03 FF09 GG02  
 GG03 GG06 GG12 GG32 GG42  
 GG52 HJ01 HJ13 HK09 HK10  
 HL03 NN62